

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-089167

(43)Date of publication of application : 23.04.1987

(51)Int.Cl.

G06F 15/30  
G06K 13/06  
G06K 17/00  
G07D 1/00  
G07F 7/08

(21)Application number : 60-228801

(71)Applicant : OMRON TATEISI ELECTRONICS CO

(22)Date of filing : 16.10.1985

(72)Inventor : TAZAKI HIROSHI

SAIDA YUICHI

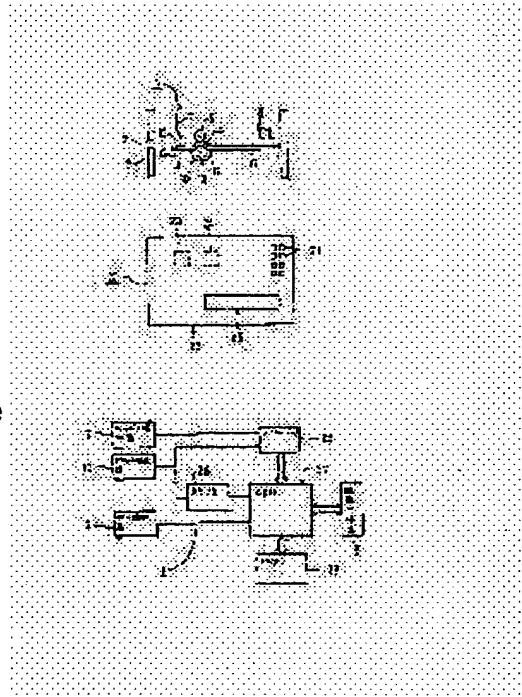
ENDO KOICHI

## (54) CARD IDENTIFYING METHOD

### (57)Abstract:

PURPOSE: To discriminate a correctness and incorrectness of a card by measuring a characteristic of a card, reading the characteristic information in a memory and collating the characteristic information and a measuring result of the card.

CONSTITUTION: An emboss detector 7, a reading contact 8, an insertion inspector 3, a pulse generator 10, a counter 26, a CPU 27, a shift register 28 and a memory 29 are provided. The pulse generator 10 detects a rotation of a slit disk 11 to generate a pulse corresponding to the quantity of an insertion of a card 20, and the emboss detector 7 contacts an upper surface of the card 20 mounted on a lower guide plate 6 to detect embosses (recessed parts and protruding parts) 25. The reading contact 8 contacts an electrode 21 on an upper surface of the card 20 and reads the information stored in the card 20. Thereby, the characteristic information (pattern data) in a memory 23 of the card 20 is read if this characteristic information and the characteristic (pattern) of the embosses of the card 20 read by the emboss detector 7 coincide, this card is considered to be a correct card.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭62-89167

⑫ Int. Cl. 4

G 06 F 15/30  
 G 06 K 13/06  
 17/00  
 G 07 D 1/00  
 G 07 F 7/08

識別記号

350

庁内整理番号

A-8219-5B  
 B-6711-5B  
 S-6711-5B  
 C-8109-3E  
 C-7234-3E

⑬ 公開 昭和62年(1987)4月23日

審査請求 未請求 発明の数 1 (全19頁)

⑭ 発明の名称 カード識別方法

⑮ 特願 昭60-228801

⑯ 出願 昭60(1985)10月16日

⑰ 発明者 田崎 央 京都市右京区花園土堂町10番地 立石電機株式会社内  
 ⑱ 発明者 斎田 雄一 京都市右京区花園土堂町10番地 立石電機株式会社内  
 ⑲ 発明者 遠藤 侯一 京都市右京区花園土堂町10番地 立石電機株式会社内  
 ⑳ 出願人 立石電機株式会社 京都市右京区花園土堂町10番地  
 ㉑ 代理人 弁理士 岩倉 哲二 外1名

明細書

1. 発明の名称

カード識別方法

2. 特許請求の範囲

カードの特徴を示す特徴情報が予め記憶されたメモリを持つ前記カードが挿入されたとき、このカードの特徴を測定するとともに、前記メモリ内にある前記特徴情報を読みだして、この特徴情報と前記カードの測定結果とが一致していたならば、このカードを正しいカードと判別することを特徴とするカード識別方法。

3. 発明の詳細な説明

《産業上の利用分野》

本発明は、ICカード、光カード等のカードの真偽を判別するカード識別方法に関する。

《発明の概要》

本発明によるカード識別方法は、カードの特徴を示す特徴情報が予め記憶されたメモリを持つ前記カードが挿入されたとき、このカードの特徴を測定するとともに、前記メモリ内にある前記特徴

情報を読みだして、この特徴情報と前記カードの測定結果とが一致していたならば、このカードを正しいカードと判別するようにし、これによつてカードの真偽および正しい持ち主かどうか等を判別するようにしたものである。

《従来の技術》

銀行の自動支払機等で用いられる磁気カードは、ベースとなる板状のプラスチック板と、このプラスチック板の一部に設けられる磁気ストライプとを備えて構成されており、この磁気カードを自動支払機等に挿入して、テンキーから暗唱番号を入力すれば、自動支払機等がこの暗唱番号と前記磁気ストライプに予め記憶されているデータとを比較し、この比較結果に基づいて、このカードが正しいものかどうか、またこのカードを挿入した人が正しい持ち主かどうかを判別する。

《発明が解決しようとする問題》

しかしながらこののような識別方法では、何等かの手段によつて他人のカードを入手した人がこのカードの磁気ストライプに書き込まっているデー

タを読みだして、これを他の新たなカードに書き込み、この後他人のカードの方を元の持ち主に返しておけば、正しい持ち主が知らぬ間に2枚のカードが存在してしまうことになる。

また、上述した磁気カード以外のカード、例えばテレホンカード、オレンジカード等においては、これらを購入した人がこのようない方法で1枚のカードから何枚ものカードを作ってしまう虞がある。

本発明は上記の事情に鑑み、カードリーダやカードライタ等を用いてカードからカードへデータを転送して作ったコピーカードと正しいカードとを識別することができるカード識別方法を提供することを目的としている。

#### 《問題点を解決するための手段》

上記問題点を解決するため本発明によるカード識別方法は、カードの特徴を示す特徴情報が予め記憶されたメモリを持つ前記カードが挿入されたとき、このカードの特徴を測定するとともに、前記メモリ内にある前記特徴情報を読みだして、この特徴情報を前記カードの測定結果とが一致して

イド板6が設けられている。

下ガイド板6は、その上面高さが前記カード挿入口2の高さとほぼ一致するか、またはこれより少し低くなるように配置された板であり、この下ガイド板6の前記挿入検知器3に近い所にはローラ4が回転自在に設けられている。

ローラ4は、その周面上端が前記下ガイド板6の上面よりも少し上方に突出するような高さに配置されたものであり、その軸は前記パルス発生器10に接続されるとともに、その上方にはローラ5が配置されている。

ローラ5は、前記カード20が前記下ガイド板6に載せられたとき、これを上から押圧してこのカード20を前記ローラ4に押し付けるものであり、このローラ5の押圧動作によつて前記カード20の挿入量と前記ローラ4の回転量とが一対一で対応する。

また前記パルス発生器10は、前記ローラ4の軸に固定されるスリット円盤11と、このスリット円盤11の周縁部近傍に配置されるスリット検

いたならば、このカードを正しいカードと判別することを特徴としている。

#### 《実施例》

第1図は本発明によるカード識別方法の第1実施例で用いられるカード識別装置の要部側面図、第2図は同実施例で用いられるカードの平面図である。

第1図に示すカード識別装置1は、自動支払機等の内部に設けられるものであり、カード挿入口2と、挿入検知器3と、ローラ4、5と、下ガイド板6と、エンボス検知器7と、読み取り接点8と、パルス発生器10とを備えて構成されている。

カード挿入口2は、前記自動支払機等の接客面9に設けられる横方向に長いスリットであり、このカード挿入口2の奥側には挿入検知器3が設けられている。

挿入検知器3は光スイッチ等のスイッチを備えて構成され、前記カード挿入口2からカード20(第2図参照)が挿入されたとき、これを検知するものであり、この挿入検知器3の奥側には下ガ

知器12とを備えて構成されたものであり、前記スリット円盤11の回転を検出して前記カード20の挿入量に対応したパルスを発生する。

また、前記ローラ5と前記挿入検知器3との間には、エンボス検知器7が設けられている。

エンボス検知器7は、前記下ガイド板6に載せられた前記カード20の上面に接触して前記カード20のエンボス(凹凸)25を検知するものであり、この検知結果に対応した信号を発生する。

また、前記ローラ5のさらに奥側には、読み取り接点8が設けられている。

読み取り接点8は、前記下ガイド板6に載せられた前記カード20上面の電極21(第2図参照)に接触して前記カード20に記憶された情報を読み出すように構成されている。

一方、このカード識別装置1に挿入されるカード20は、第2図に示すようにプラスチック等からなる板状のベース22と、このベース22内に設けられるメモリ23、CPU(中央処理装置)24と、前記ベース22の上面に設けられる電極

21と、前記ベース22の上面に形成されるエンボス25とを備えたICカードであり、このカード20を前記カード識別装置1に挿入している途中で前記エンボス25が前記エンボス検知器7に接し、またこのカード20を前記カード識別装置1に完全に挿入した状態で前記電極21と前記読み取り接点8とが接するように、これらエンボス25、電極21の位置が決められている。

さらにこの場合、前記メモリ23には前記エンボス25のパターンに対応したパターンデータが予め記憶されている。

第3図は、この第1実施例によつて示される前記カード識別装置1の回路構成例を示すプロック図である。

この図に示す回路は、カード識別装置1に前記カード20が挿入されたとき、このカード20のメモリ23内にある特徴情報(パターンデータ)を読みだして、この特徴情報と前記エンボス検知器7によつて読み取られたカード20のエンボス25の特徴(パターン)が一致していたならば、

この場合、前記RAMの一部には第4図のメモリマップに示す如く前記シフトレジスタ28からの並列データ(パターンデータ)が記憶される測定パターンエリア30と、前記カード20のメモリ23から読み出した特徴情報(パターンデータ)が記憶される設定パターンエリア31と、読み出し・書き込み番地を示すアドレスカウンタとが設けられている。

また前記CPU27は、マイクロプロセッサ、各種インターフェース等とを備えて構成されたものであり、次に述べるように動作する。

まず、前記カード識別装置1に前記カード20が挿入される前においては、CPU27は第5図に示すフローチャートのステップST1で前記カード20が挿入されるまで待つ。

この状態で、前記カード20が挿入されれば、CPU27はステップST2において書き込み番地を示すアドレスカウンタの値Cを測定パターンエリア30の先頭番地の値にした後、ステップST3で前記カウンタ26からパルスが供給される

このカードを正しいカードと判別するものであり、前記エンボス検知器7、読み取り接点8、挿入検知器3、パルス発生器10と、カウンタ26と、CPU27と、シフトレジスタ28と、メモリ29とを備えて構成されている。

カウンタ26は、前記パルス発生器10が出力するパルスをカウントして、このカウント値が一定値以上になったときに、パルスを出力するN進カウンタであり、ここで得られたパルスはCPU27へ供給される。

また、前記シフトレジスタ28は前記パルス発生器10がパルスを出力する毎に前記エンボス検知器7の出力を取り込むとともに、これを順次シフトして並列データに変換するものであり、この並列データは前記CPU27へ供給される。

また、前記メモリ29は前記CPU27のプログラムおよび各種の定数データ等を記憶しているROM(リード・オンリ・メモリ)と、前記CPU27の作業エリアとなるRAM(ランダム・アクセス・メモリ)等とを備えたものである。

まで待つ。そして、パルスが供給されたとき、CPU27はステップST4においてシフトレジスタ28の並列データを取り込み、これをメモリ29の前記アドレスカウンタで示される番地に記憶させる。

次いで、CPU27はステップST5で、前記アドレスカウンタの値Cをインクリメントした後、ステップST6で、このアドレスカウンタの値Cが測定パターンエリア30の最終番地の値Nになつたかどうかチェックし、これらが一致するまで前記ステップST3からステップST6を繰り返し実行する。

そして、これらが一致したとき、CPU27はステップST6からステップST7へ分岐して、ここで読み取り接点8を介してカード20に特徴情報を要求し、ステップST8でこの特徴情報を取り込んで、これをメモリ29の設定パターンエリア31に書き込む。

次いで、CPU27はステップST9で、この設定パターンエリア31に記憶された特徴情報と

前記測定パターンエリア30に記憶されたパターンデータとが一致しているかどうかを判別し、これらが一致していれば、カード20が正しいものと判別してステップST10で表示器(図示略)に正しいカードである旨を表示させる。

この後、CPU27はステップ11で、紙幣の支払処理等の予め決められたルーチンを実行して動作を終了する。

また前記ステップST9において、設定パターンエリア31に記憶された特徴情報と前記測定パターンエリア30に記憶されたパターンデータとが一致していないと判断されれば、CPU27は、カード20が不正なものと判断してステップST12で前記表示器に不正なカードである旨を表示させる。この後、CPU27はステップST13で、警報器(図示略)から警報音を出力させて係員等にこれを知らせて、この係員等にカード不正時の処理を行わせ、この後動作を終了する。

このようにこの実施例においては、カード20に、電気的にコピー不能なエンボス25を設けて

いるので、メモリ23のデータを他のカードにコピーしただけでは、このコピーされた側のカードを使用不能にすることができる。

またこの実施例では、カード20に設けられたメモリ23に前記カード20に設けられたエンボス25の特徴を示す特徴情報を予め記憶させておいて前記カード20が挿入されたとき、このカード20のメモリ23内にある前記特徴情報を読みだして、この特徴情報を前記カード20の特徴が一致していたならば、このカード20を正しいカードと判別するようにしたので、カードリーダーやカードライタ等を用いてカードからカードへデータを転送して作ったコピーカードと正しいカードとを識別することができる。

第6図は本発明によるカード識別装置の第2実施例を示す要部側面図である。なお、この図において、第1図の各部と対応する部分には、同一な符号が付してある。

この図に示すカード識別装置1-2が第1図に示すカード識別装置1と異なる点は、エンボス検

知器7に代えてパターン読取器40を設けたことである。

第7図は同実施例で用いられるカードの平面図である。なお、この図において、第2図の各部と対応する部分には、同一な符号が付してある。

この図に示すカード20-2が第2図に示すカード20と異なる点は、エンボス25に代えて印刷などにより光学的に読み取れるパターン41を設けたことである。

このように構成しても、カード20-2のメモリ23にパターン41の特徴情報を記憶させておき、カード識別装置1-2にカード20-2が挿入されたとき、前記パターン読取器40によつてパターン41を読みつて、この読み取り結果と前記メモリ23に記憶されているパターン41の特徴情報を比較判別することによって、このカード20-2がコピーされたカードかどうかを識別することができる。

第8図は本発明によるカード識別装置の第3実施例を示す要部側面図である。なお、この図にお

いて、第1図の各部と対応する部分には、同一な符号が付してある。

この図に示すカード識別装置1-3が第1図に示すカード識別装置1と異なる点は、エンボス検知器7、ローラ4、5、パルス発生器10、を省き、代りに下ガイド板6の上方と、接客面9上とに指紋読み取り器50、51を各々設けたことである。

第9図は同実施例で用いられるカードの平面図である。なお、この図において、第2図の各部と対応する部分には、同一な符号が付してある。

この図に示すカード20-3が第2図に示すカード20と異なる点は、エンボス25に代えて印刷などによりこのカード20-3を所有している人の指紋パターン49を設けるとともに、この指紋パターン49の特徴をメモリ23に格納したことである。

第10図は、この第3実施例によって示される前記カード識別装置1-3の回路構成例を示すブロツク図である。この図において、第3図の各部

と対応する部分には、同一な符号が付してある。

この図に示す回路が第3図に示すものと異なる点は、エンボス検知器7に代えて設けられる指紋読み取り器50、51の出力をオアゲート52を通してシフトレジスタ28へ供給するようにし、さらにメモリ29を構成するRAMの一部に第11図のメモリマップに示す如く前記シフトレジスタ28からの並列データ(バターンデータ)が記憶される測定バターンエリア30-3と、前記カード20のメモリ23から読み出した特徴情報(バターンデータ)が記憶される設定バターンエリア31-3と、これら測定バターンエリア30-3、設定バターンエリア31-3を読み書きするときのアドレスカウンタ53、54とを設けたことである。

また、この回路ではCPU27によって駆動されるパルス発生器10-3が設けられ、このパルス発生器10-3の出力がカウンタ26と、シフトレジスタ28に供給される。

次に、この実施例の動作を第12図を参照しな

トした後、ステップST26で、このアドレスカウンタ53の値Caが測定バターンエリア30-3の最終番地の値Nになったかどうかチェックし、これらが一致するまで前記ステップST23からステップST26を繰り返し実行する。

そして、これらが一致したとき、CPU27はステップST26からステップST27へ分岐して、ここでパルス発生器10-3を停止させる。

次いで、CPU27はステップST28で、読み取り接点8を介してカード20-3に特徴情報を要求し、ステップST29でこの特徴情報を取り込んで、これをメモリ29の設定バターンエリア31-3に書き込む。

この後、CPU27はステップST30で、この設定バターンエリア31-3に記憶された特徴情報と前記測定バターンエリア30-3に記憶されたバターンデータとが一致しているかどうかを判別し、これらが一致していれば、カード20-3が正しいものと判断してステップST31で表示器(図示略)に正しいカードである旨を表示さ

がら説明する。

まず、前記カード識別装置1-3に前記カード20-3が挿入される前においては、CPU27は第12図に示すフローチャートのステップST20で前記カード20-3が挿入されるまで待つ。

そして、このカード20-3が挿入されれば、CPU27はステップST21において書き込み番地を示すアドレスカウンタ53を測定バターンエリア30-3の先頭番地の値にした後、ステップST22でパルス発生器10-3および指紋読み取り器50の駆動を開始する。この後、CPU27はステップST23でカウンタ26からパルスが供給されるまで待つ。

そして、パルスが供給されたとき、CPU27はステップST24においてシフトレジスタ28の並列データを取り込み、これをメモリ29の前記アドレスカウンタ53の値Caで示される番地に記憶させる。

次いで、CPU27はステップST25で、前記アドレスカウンタ53の値Caをインクリメン

せる。

次いで、CPU27は表示器に“指紋読み取り器上に指を当ててください”等のメッセージを出力して、カード20-3の持ち主の指を指紋読み取り器51に当てさせた後、ステップST32で、書き込み番地を示すアドレスカウンタ54を設定バターンエリア31-3の先頭番地の値にする。次いで、CPU27はステップST33でパルス発生器10-3および指紋読み取り器51の駆動を開始した後、ステップST34でカウンタ26からパルスが供給されるまで待つ。

そしてパルスが供給されたとき、CPU27はステップST35においてシフトレジスタ28の並列データを取り込み、これをメモリ29の前記アドレスカウンタ54の値Cbで示される番地に記憶させる。

次いで、CPU27はステップST36で前記アドレスカウンタ54の値Cbをインクリメントした後、ステップST37で、このアドレスカウンタ54の値Cbが設定バターンエリア31-3

の最終番地の値Nになつたかどうかチェックし、これらが一致するまで前記ステップST34からステップST37を繰り返し実行する。

そして、これらが一致したとき、CPU27はパルス発生器10-3を停止させ、この後ステップST37からステップST38へ分岐して、ここでこの設定バターンエリア31-3に記憶されたバターンデータと前記測定バターンエリア30-3に記憶されたバターンデータとが一致しているかどうかを判別する。

そして、これらが一致していれば、CPU27はカード20-3を持つている人を正しい持ち主と判断してステップST39で前記表示器に“個人照合OK”を表示させる。

この後、CPU27はステップ40で、紙幣の支払処理等の予め決められたルーチンを実行し、この後動作を終了する。

また、上述したステップST30、38において、設定バターンエリア31-3に記憶されたバターンデータと前記測定バターンエリア30-3

使用した人が正しい持ち主かどうかを判別するようにしても良い。

また上述した各実施例においては、カード識別装置側でカードの真偽を判別するようにしているが、このカードの真偽判別をカード側で行うようにしても良い。

第13図はこのような方法によってカードの真偽判別を行う場合に用いられるカード側の回路構成例を示すプロック図である。

この図に示す回路は、その表面にエンボス、文字バターン等のバターン60が設けられたカード20-4内に設けられるものであり、このカード20-4の表面に露出している電極21-4と、この電極21-4を介して外部装置とデータの送受信を行うCPU24-4と、このCPU24-4によつて制御されるメモリ23-4とを備えて構成されている。

この場合、前記メモリ23-4は前記CPU24-4のプログラムおよび各種の定数データ等を記憶しているROMと、前記CPU24-4の作

に記憶されたバターンデータとが一致していないときには、CPU27はカード20-3またはこのカード20-3を持つている人が正しくないものと判断してステップST41で前記表示器にカードまたは個人が不正である旨を表示させる。

この後、CPU27はステップST42で、警報器(図示略)から警報音を出力させて係員等にこれを知らせ、カード不正時の処理を行なわせる。この後、CPU27は動作を終了する。

このようにこの実施例では、カード20-3の真偽を判別した後、このカード20-3を持つている人が本当の持ち主かどうかを判別するようにしているので、本当の持ち主以外の人がこのカード20-3を不正に使用するのを未然に防止することができる。

また、この第3実施例においては、指紋によつてカード20-3の真偽およびこのカード20-3を使用した人が正しい持ち主かどうかを判別するようにしているが、手書きのサインによつてカード20-3の真偽およびこのカード20-3を

業エリアとなるRAM等とを備えて、そして、第14図のメモリマップに示す如く、前記RAMの一部には前記電極21-4を介して供給されたデータ(バターンデータ)を記憶するための測定バターンエリア30-4と、アドレスカウンタとが設けられ、また前記ROMの一部には、前記カード20-4のバターン60の特徴を示す特徴情報(バターンデータ)を記憶した設定バターンエリア31-4が設けられている。

第15図は、この第4実施例で用いられるカード識別装置1-4の回路構成例を示すプロック図である。なお、この図において、第3図の各部と対応する部分には、同一な符号が付してある。

この図に示す回路が、第3図に示すものと異なる点は、メモリ29に、第16図に示す如く測定バターンエリア30のみを設けたことである。

そしてこの場合、CPU27は、次に述べるように動作する。

まず、前記カード識別装置1-4に前記カード20-4が挿入される前においては、このカード

識別装置1-4側のCPU27は第17図に示すフローチャートのステップST50で前記カード20-4が挿入されるまで待つ。

この状態で、前記カード20-4が挿入されれば、CPU27はステップST51において書き込み番地を示すアドレスカウンタの値Cを測定バターンエリア30の先頭番地の値にした後、ステップST52でカウンタ26からパルスが供給されるまで待つ。そして、パルスが供給されたとき、CPU27はステップST53においてシフトレジスタ28が出力する前記カード20-4上のバターン60の測定結果(並列データ)を取り込み、これをメモリ29の前記アドレスカウンタの値Cで示される番地に記憶させる。

次いで、CPU27はステップST54で、前記アドレスカウンタの値Cをインクリメントした後、ステップST55で、このアドレスカウンタの値Cが測定バターンエリア30の最終番地の値Nになつたかどうかチェック、これらが一致するまで前記ステップST52からステップST55

59からステップST62に分岐し、ここで前記表示器に不正なカードである旨を表示させる。この後、CPU27はステップST63で、警報器(図示略)から警報音を出力させて係員等にこれを知らせた後、ステップST64で係員等にカード不正時の処理を行わせて、動作を終了する。

一方、このカード識別装置1-4に挿入されたカード20-4は、次ぎに述べるように動作する。

まず、カード20-4がカード識別装置1-4に挿入されれば、このカード20-4側のCPU24はステップST65を実行してカード識別装置1-4側に測定データを送るよう要求を出し、ステップST66でこのカード識別装置1-4側から応答があるまで待つ。

そして、このカード識別装置1-4側から応答があつたとき、CPU24はステップST67でカード識別装置1-4側から送られて来た測定データをメモリ23-4の測定バターンエリア30-4に書き込む。

次いで、CPU24はステップST68で設定

を繰り返し実行する。

そして、これらが一致したとき、CPU27はステップST55からステップST56へ分岐して、前記カード20-4に測定データを送信可能になつたことを伝え、ステップST57で前記測定バターンエリア30にある測定データをカード20-4に送信し、この測定データが正しいものかどうかを判別させる。

次いで、CPU27はステップST58で、カード20-4からこの判別結果を受け、ステップST59で、この判別結果が“OK”を示しているかどうかをチェックする。そしてこれが“OK”を示していれば、CPU27はカード20-4が正しいものと判断してステップST60で表示器(図示略)に正しいカードである旨を表示させる。

この後、CPU27はステップST61で、紙幣の支払処理等の予め決められたルーチンを実行して動作を終了する。

また、カード20-4からの判別結果が“NO”を示していれば、CPU27は前記ステップST

バターンエリア31-4に記憶されている特徴情報と前記測定バターンエリア30-4に記憶された測定データとが一致しているかどうかを判別し、これらが一致していれば、カード20-4が正しいものと判断してステップST69でカード識別装置1-4側に“OK”回答を送信して、カード20-4が正しいことを知らせた後、ステップST70で前記カード識別装置1-4側に予め決められたデータを送るなどのルーチンを実行した後、動作を停止する。

また、前記ステップST68において、設定バターンエリア31-4に記憶されている特徴情報と前記測定バターンエリア30-4に記憶された測定データとが一致していないと判断されれば、CPU24はST71でカード識別装置1-4側に“NO”回答を送信して、カード20-4が不正なカードであることを知らせた後、動作を停止する。

このように構成してもカードリーダやカードライタ等を用いてこのカード20-4から他のカ

ドへデータを転送して作つたコピーカードと正しいカード20-4とを識別することができる。

また、このようなカード20-4以外の他のカード、例えば指紋パターンを持つたカードでもこのようなカード間での識別を行なわせることができる。

第18図はカードの真偽判別をカード側で行なうようにした指紋パターンを持つたカードの一例を示すプロツク図である。

この図に示す回路は、その表面に指紋パターン49が設けられたカード20-5内に設けられるものであり、前記カード20-4と同様に、このカード20-5の表面に露出している電極21-5と、この電極21-5を介して外部装置とデータの送受信を行うCPU24-5と、このCPU24-5によって制御されるメモリ23-5とを備えて構成されている。

この場合、第19図のメモリマップに示す如く前記メモリ23-5を構成するRAMの一部には前記電極21-5を介して供給されたデータ(バ

ターンデータ)が記憶される測定バターンエリア30-5が設けられ、また前記ROMの一部には、前記カード20-5の指紋パターン49の特徴を示す特徴情報(バターンデータ)を記憶した設定バターンエリア31-4が設けられている。

第20図は、この第5実施例で用いられるカード識別装置1-5の回路構成例を示すプロツク図である。なお、この図において、第10図の各部と対応する部分には、同一な符号が付してある。

この図に示す回路が第10図に示すものと異なる点は、第21図に示す如くメモリ29に第1、第2測定バターンエリア30-5a、30-5bと、第1、第2アドレスカウンタ53-5、54-5とを設けたことである。

そしてこの場合、CPU27は、次に述べるように動作する。

まず、前記カード識別装置1-5に前記カード20-5が挿入される前においては、CPU27は第22図に示すフローチャートのステップST79で前記カード20-5が挿入されるまで待つ。

ST82からステップST85を繰り返し実行する。

そして、これらが一致したとき、CPU27はステップST85からステップST86へ分岐して、前記カード20-5に測定データを送信可能になつたことを伝え、ステップST87で前記測定バターンエリア30-5aにある測定データをカード20-5に送信し、この測定データが正しいものかどうかを判別させる。

次いで、CPU27はステップST88で、カード20-5からこの判別結果を受け、ステップST89で、この判別結果が“OK”を示しているかどうかをチェックする。そして、これが“OK”を示していれば、CPU27はカード20-5が正しいものと判断してステップST90で表示器(図示略)に正しいカードである旨を表示させる。

次いで、CPU27はステップST91で、表示器に“指紋読み取り器上に指を当ててください”等のメッセージを出力して、カード20-5の待

ち主の指を指紋読み取り器 51 に当てさせた後、書き込み番地を示すアドレスカウンタ 54-5 の値 C<sub>a</sub> を測定バターンエリア 30-5 b の先頭番地の値する。この後、CPU 27 はステップ ST 92 でパルス発生器 10-3 および指紋読み取り器 51 の駆動を開始する。次いで、CPU 27 はステップ ST 93 でカウンタ 26 からパルスが供給されるまで待つ。

そして、パルスが供給されたとき、CPU 27 はステップ ST 94 においてシフトレジスタ 28 の並列データを取り込む。

この場合、このシフトレジスタ 28 には前記指紋読み取り器 51 によって読み取られたカード所持者の指紋パターンが供給されているから CPU 27 にはこの指紋パターンが供給される。そして CPU 27 はこれをメモリ 29 の前記アドレスカウンタ 54-5 の値 C<sub>b</sub> で示される番地に記憶させる。

次いで、CPU 27 はステップ ST 95 で、前記アドレスカウンタ 54-5 の値 C<sub>b</sub> をインクリ

メントした後、ステップ ST 96 で、このアドレスカウンタ 54-5 の値 C<sub>b</sub> が測定バターンエリア 30-5 b の最終番地の値 N になつたかどうかチェックし、これらが一致するまで前記ステップ ST 93 からステップ ST 96 を繰り返し実行する。

そして、これらが一致したとき、CPU 27 はパルス発生器 10-3 を停止させ、この後ステップ ST 96 からステップ ST 97 へ分岐して、ここでこの測定バターンエリア 30-5 b に記憶されたバターンデータと前記測定バターンエリア 30-5 a に記憶されたバターンデータとが一致しているかどうかを判別する。

そして、これらが一致していれば、CPU 27 はカード 20-5 を持つている人を正しい持ち主と判断してステップ ST 98 で前記表示器に個人照合 “OK” を表示させる。

この後、CPU 27 はステップ ST 99 で、紙幣の支払処理等の予め決められたルーチンを実行し、この後動作を終了する。

また、上述したステップ ST 89、ST 97 において、各バターンデータが一致していないと判別されたときには、CPU 27 はカード 20-5 またはこのカード 20-5 を持つている人が正しくないものと判断してステップ ST 100 で前記表示器にカードまたは個人が不正である旨を表示させる。

この後、CPU 27 はステップ ST 101 で、音報器（図示略）から音報音を出力させて係員等にこれを知らせ、カード不正時の処理を行わせる。この後、CPU 27 は動作を終了する。

一方、このカード識別装置 1-5 に挿入されたカード 20-5 は、前記カード 20-4 と同様、次ぎに述べるように動作する。

まず、カード 20-5 がカード識別装置 1-5 に挿入されれば、このカード 20-5 側の CPU 24-5 がステップ ST 102 を実行してカード識別装置 1-5 側に測定データを送るように要求を出し、ステップ ST 103 でこのカード識別装置 1-5 側から応答があるまで待つ。

そして、このカード識別装置 1-5 側から応答があつたとき、CPU 24-5 はステップ ST 104 でカード識別装置 1-5 側から送られて来た測定データをメモリ 23-5 の測定バターンエリア 30-5 に書き込む。

次いで、CPU 24-5 はステップ ST 105 で、設定バターンエリア 31-5 に記憶されている特徴情報と前記測定バターンエリア 30-5 に記憶された測定データとが一致しているかどうかを判別し、これらが一致していれば、カード 20-5 が正しいものと判断してステップ ST 106 でカード識別装置 1-5 側に “OK” 回答を送信して、カード 20-5 が正しいことを知らせた後、ステップ ST 107 で前記カード識別装置 1-5 側に、データを送るなどの予め決められたルーチンを実行した後、動作を停止する。

また、前記ステップ ST 105 において、設定バターンエリア 31-5 に記憶されている特徴情報と前記測定バターンエリア 30-5 に記憶された測定データとが一致していないと判断されれば、

CPU 24 はステップ ST 108 でカード識別装置 1-5 側に "NO" 回答を送信して、カード 20-5 が不正なカードであることを知らせた後、動作を停止する。

このようにこの実施例においては、カード 20-5 が正しいカードかどうかをカード 20-5 で判別させることができるとともに、このカード 20-4 を持つている人が正しい持ち主かどうかをカード識別装置 1-5 がチェックし、これを表示することができる。

第 23 図 (A) は本発明の第 6 実施例で用いられるカードの平面図、第 23 図 (B) は第 23 図 (A) の L-L 線における断面図である。

これらの図に示すカード 20-6 は、その内部に IC 回路等を備え、この IC 回路によって数千字以上のデータを記憶し得るのに、コピー防止のための手段を付加したものであり、基板 70 と、パターン読取り素子 71 と、スペーサ 72 と、IC 回路 73 と、遮光板 74 と、透明板 75 と、紙片 (光学パターン) 76 と、電極 77 とを備えて

構成されている。

基板 70 はこのカード 20-6 のベースとなるプラスチック等の板であり、この基板 70 の上面にはパターン読取り素子 71 が設けられている。

パターン読取り素子 71 はマトリツクス状 (またはアレイ状など) に配置された複数の受光素子 (フォトダイオード、フォトトランジスタ等)、または CCD (固体撮像素子) 等によって構成されるものであり、このパターン読取り素子 71 の周囲にはスペーサ 72 が配置されている。

スペーサ 72 は前記パターン読取り素子 71 および IC 回路 73 の部分がくり抜かれた前記パターン読取り素子 71 より厚いプラスチック板 (または他の樹脂板) であり、その下面是前記基板 70 の上面に接着固定され、かつ上面は遮光板 74 に接着固定されている。

遮光板 74 は不透明なプラスチック板、有色のプラスチック板または他の材料によって構成される板であり、この遮光板 74 の前記パターン読取り素子 71 と対向する部分には穴が形成されると

ともに、この穴には紙片 76 が配置されている。

紙片 76 はその下面に文字や特定の色が印刷されたり、あるいは指紋等が付けられたりしたものであり、その上面は透明板 75 の下面に接着固定されている。

透明板 75 は透光性 (または半透光性) を有するプラスチック板または同様な性質を持つ他の材料によって構成される板であり、その下面是前記紙片 76 が取り付けられている部分を除いて前記遮光板 74 の上面に接着固定されるとともに、その一部にはこの透明板 75 および前記遮光板 74 を上下に貫通するようにして複数の電極 77 が嵌入固定されている。

各電極 77 はこれら電極 77 が設けられているカード 20-6 と、外部機器 (例えば、カード識別装置、自動支払機等) とを電気的に接続するためのものであり、前記スペーサ 72、または遮光板 74 部分等に配置された信号線 (図示略) によって IC 回路 73 に接続されている。

IC 回路 73 は前記スペーサ 72 のくり抜き部

分に配置されるものであり、第 24 図に示す如くマイクロプロセッサ 78 と、メモリ 79 とを備えて構成されている。

この場合、前記メモリ 79 には第 25 図のメモリマップに示す如く前記紙片 76 の下面のパターンに対応した設定データが予め記憶されている設定パターンエリア 80 と、前記パターン読取り素子 71 によって読み取られたパターンが一時的に記憶される読み取パターンエリア 81 と、送信データが記憶されている送信データエリア 82 とが設けられている。

次に第 26 図に示すフローチャートを参照しながらこの実施例の動作を説明する。

今、このカード 20-6 がカード識別装置等に挿入されれば、マイクロプロセッサ 78 は第 26 図のステップ ST 110 においてこのカード識別装置等からデータ要求のリクエストが供給されるまで待ち、このリクエストが供給されたときステップ ST 111 でパターン読取り素子 71 からのデータを取り込む。

この場合、このパターン読取り素子71と対向している紙片76は透明板75を介して供給される光によって背面照光されているので、マイクロプロセッサ78にはこの紙片76の下面にあるパターンに対応したデータが供給され、マイクロプロセッサ78によってこのデータがメモリ79の読み取りパターンエリア81へ転送される。

次いで、このマイクロプロセッサ78はステップST112においてこの読み取りパターンエリア81に記憶されているデータと、設定パターンエリア80に記憶されているデータとを比較し、これらが一致していればこのカード20-6のメモリ79のデータが他のカードからコピーされたものでないと判断してステップST113で送信可能なことを示すコードをカード識別装置等に供給する。

この後、マイクロプロセッサ78はステップST114において所定の処理、例えば送信データエリア82にあるデータをカード識別装置等へ供給したりした後、この動作を停止する。

このカードを読み取る側でカードがコピーされたものかどうか自動的に判別するようにしているが、操作員等が目視によってこのカードの識別を行なうようにしても良い。

第27図はこのような識別方法を実現するときに用いられるカード識別装置の一例を示す斜視図である。

この図に示すカード識別装置1-7は、カード20-7(第29図参照)が挿入されたとき、このカード20-7のパターン60-7(第29図参照)を読み取つて表示装置90上に表示するとともに、このとき前記カード20-7に記憶されたパターンデータを読み出して、これを前記パターンと並べて表示するように構成されたものであり、その接客面上にはカード20-7を挿入するためのカード挿入口91と、処理手順および処理結果を表示する表示装置90と、オペレート情報を入力するためのキーボード92とが設けられている。

第28図はこのカード識別装置1-7の回路構

また前記ステップST112において前記読み取りパターンエリア81のデータと設定パターンエリア80のデータとが一致していないと判別されれば、マイクロプロセッサ78はこのステップST112からステップST115へ分岐して、ここでカード識別装置等にデータ送信が不可能なことを示すメッセージを送出して、この後、動作を停止する。

このようにこの実施例においては、カード20-6にコピー不能な紙片76を設けているので、他のカードのメモリに記憶されているデータをこのカード1にコピーしただけでは、このカード20-6が使えなくすることができ、これによつてコピーカードが作られないようにすることができる。なおこの場合、読み取りパターンエリア81を設けずに、パターン読み取り素子71が順次出力するデータと、設定パターンエリア80に記憶されているデータとをリアルタイムで比較するようにしても良い。

また上述した各実施例においては、カード側や

成例を示すプロツク図である。なおこの図において第15図の各部と同一な部分には同じ符号が付してある。

この図に示す回路が第15図に示すものと異なる点は、キーボード92から入力したデータ、コード等によつてオペレータがCPU27の動作を制御し得るようにするとともに、表示装置90によつて前記CPU27の処理手順および処理結果を表示し得るようにしたことである。これによつて、この表示装置90に表示された情報をオペレータが直接認識することができる。

第29図はこのカード識別装置1-7に挿入されるカード20-7の回路構成例を示すプロツク図である。

この図に示すカード20-7は、その表面にエンボス、文字パターン(または指紋パターン等)のパターン60-7が形成されたものであり、その内部にはCPU24-7と、メモリ23-7とが設けられ、CPU24-7の制御のもとに電極21-7を介してメモリ23-7のデータを外部

に出力したり、この電極 21-7 を介して供給されたデータをメモリ 23-7 に書き込み得るようになっている。

そしてこの場合、メモリ 23-7 には第 30 図に示す如く、設定パターンエリア 95 が設けられるとともに、この設定パターンエリア 95 には前記パターン 60-7 の特徴を示すパターンデータが記憶されている。

次に第 31 図を参照しながらこのカード 20-7 およびカード識別装置 1-7 の動作を説明する。

まず、カード 20-7 がカード識別装置 1-7 に挿入される前においては、カード識別装置 1-7 側の CPU 27 はステップ ST 120 で待ち状態になっている。

ここで、オペレータが顧客等からカード 20-7 を受けとつて、これをカード識別装置 1-7 のカード挿入口 91 に挿入すれば、挿入検知器 3 がこれを検知して CPU 27 にカード 20-7 が挿入されたことを伝える。これによつて、CPU 27 は、ステップ ST 120 からステップ ST 12

1 へ分岐し、ここでパターン検取り器 7 の出力を受けているシフトレジスタ 28 の出力を取り込む。

次いで、CPU 27 はステップ ST 122 でこのシフトレジスタ 28 によって得られたパターンデータ、すなわち前記カード 20-7 のパターン 60-7 を測定して得られたパターンデータを表示装置 90 へ供給して、これを表示させる。

次いで、CPU 27 はステップ ST 123 でカード 20-7 のメモリ 23-7 に記憶されているパターンデータを出力するように要求メッセージを出すとともに、ステップ ST 124、ステップ ST 125 において、カード 20-7 から応答があつたかどうか、またこの要求メッセージを出してから予め決められた時間が経過したかどうかをチェックする。

そして所定時間内にカード 20-7 から応答がないとき、CPU 27 はステップ ST 125 からステップ ST 126 へ分岐して、ブザーを鳴らす等のエラー処理を実行した後に、動作を停止する。

また所定時間内にカード 20-7 から応答があ

つたときには、CPU 27 は前記ステップ ST 124 からステップ ST 127 へ分岐してカード 20-7 から送られてきたパターンデータを受信し、この後ステップ ST 128 でこのパターンデータを表示装置 90 へ供給し、これを前記ステップ ST 122 で表示されたパターンデータと並んで表示させ、オペレータにこれらのパターンが一致しているかどうかをチェックさせる。

この後、CPU 27 はカード 20-7 を返却し、動作を終了する。

このようにこの実施例においては、オペレータ等にカード 20-7 の真贋を判別させることができる。

#### 《発明の効果》

以上説明したように本考案によれば、カードリーダやカードライタ等を用いてカードからカードへデータを転送して作ったコピーカードと正しいカードとを識別することができる。

#### 4. 図面の簡単な説明

第 1 図は本発明によるカード識別方法の第 1 実

施例で用いられるカード識別装置の要部側面図、第 2 図はこの第 1 実施例で用いられるカードの平面図、第 3 図は第 1 図に示すカード識別装置の回路構成例を示すプロツク図、第 4 図は第 3 図に示すメモリマップ、第 5 図はこの第 1 実施例の動作例を示すフローチャート、第 6 図は本発明によるカード識別方法の第 2 実施例で用いられるカード識別装置の要部側面図、第 7 図はこの第 2 実施例で用いられるカードの平面図、第 8 図は本発明によるカード識別方法の第 3 実施例で用いられるカード識別装置の要部側面図、第 9 図はこの第 3 実施例で用いられるカードの平面図、第 10 図は第 8 図に示すカード識別装置の回路構成例を示すプロツク図、第 11 図は第 10 図に示すメモリのメモリマップ、第 12 図はこの第 3 実施例の動作例を示すフローチャート、第 13 図は本発明によるカード識別方法の第 4 実施例で用いられるカードの回路構成例を示すプロツク図、第 14 図は第 13 図に示すメモリのメモリマップ、第 15 図はこの第 4 実施例で用いられるカード識別装置の回路構

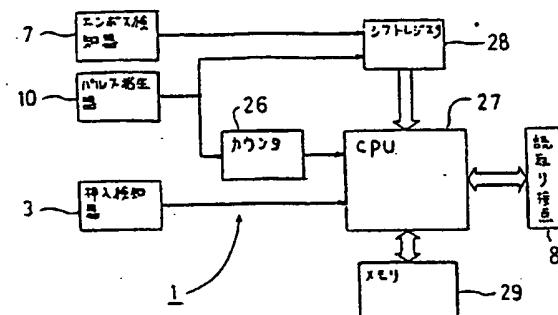
成例を示すプロック図、第 16 図は第 15 図に示すメモリのメモリマップ、第 17 図はこの第 4 実施例の動作例を示すフローチャート、第 18 図は本発明によるカード識別方法の第 5 実施例で用いられるカードの回路構成例を示すプロック図、第 19 図は第 18 図に示すメモリのメモリマップ、第 20 図はこの第 5 実施例で用いられるカード識別装置の回路構成例を示すプロック図、第 21 図は第 20 図に示すメモリのメモリマップ、第 22 図はこの第 5 実施例の動作を示すフローチャート、第 23 図 (A) は本発明の第 6 実施例を用いられるカードの平面図、第 23 図 (B) は第 23 図 (A) の L-L 線における断面図、第 24 図は第 23 図 (A)、(B) に示すカードの回路構成例を示すプロック図、第 25 図は第 24 図に示すメモリのメモリマップ、第 26 図はこの第 6 実施例の動作例を示すフローチャート、第 27 図は本発明によるカード識別方法の第 7 実施例で用いられるカード識別装置の斜視図、第 28 図は第 27 図に示すカード識別装置の回路構成例を示すプロック

ク図、第 29 図はこの第 7 実施例で用いられるカードの回路構成例を示すプロック図、第 30 図は第 29 図に示すメモリのメモリマップ、第 31 図はこの第 7 実施例の動作例を示すフローチャートである。

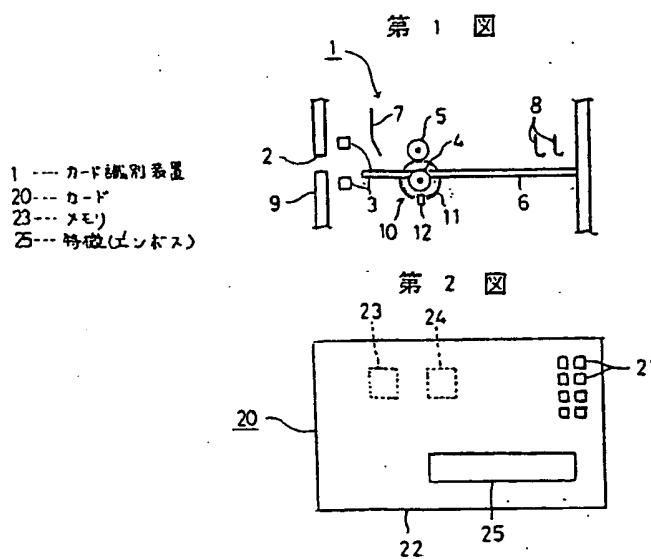
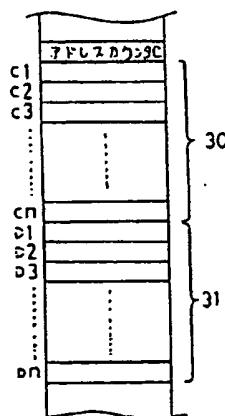
1 … カード識別装置、20 … カード、23 … メモリ、25 … 特微 (エンボス)。

特許出願人 立石電機株式会社  
代理人 弁理士 岩倉哲二 (他 1 名)

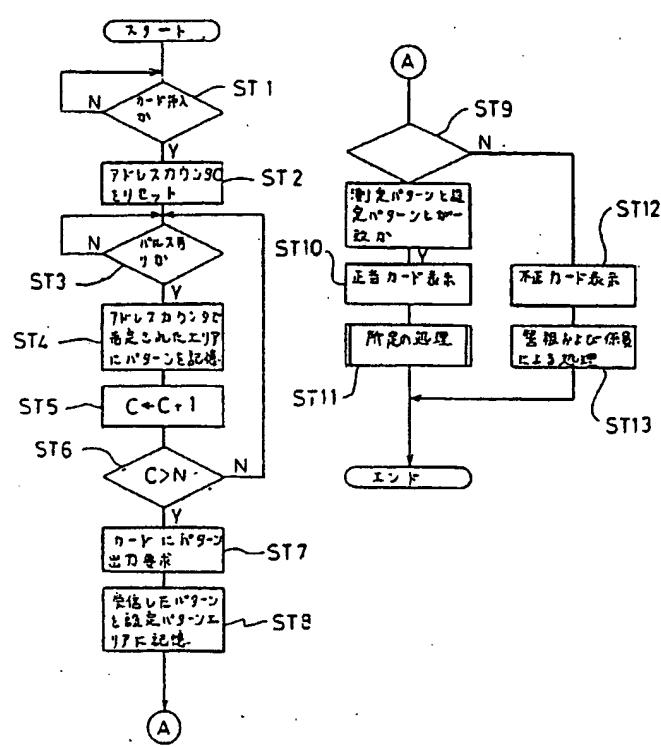
第 3 図



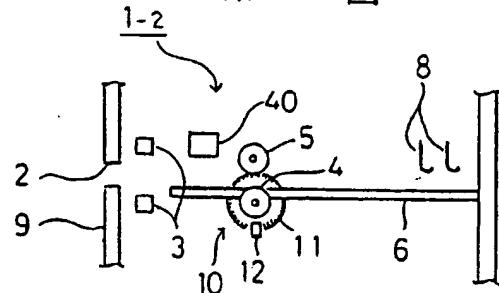
第 4 図



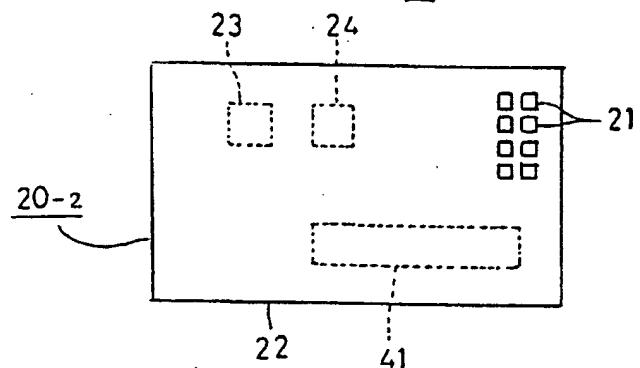
第 5 図



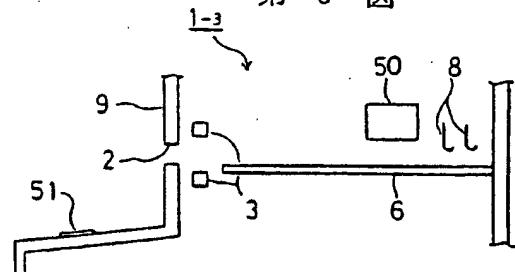
第 6 図



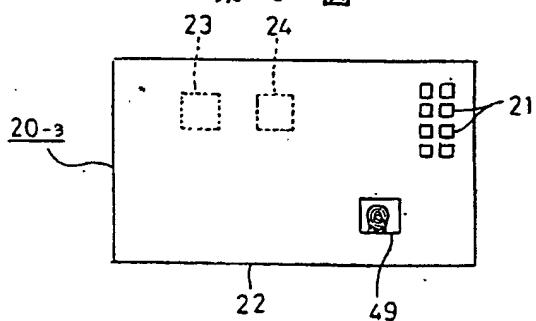
第 7 図



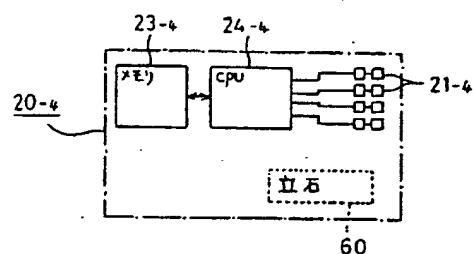
第 8 図



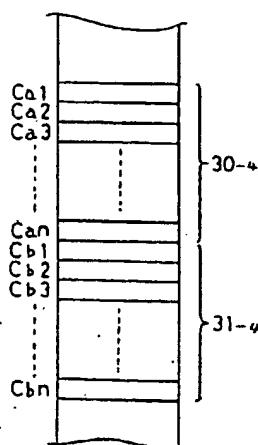
第 9 図

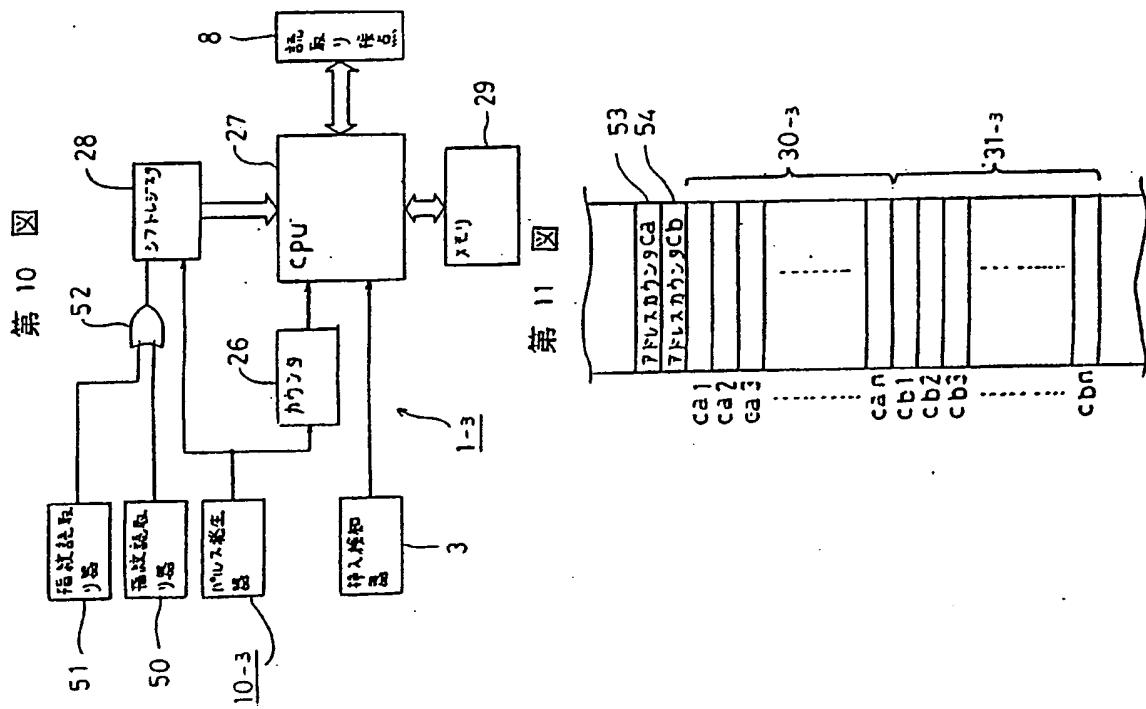


第 13 図

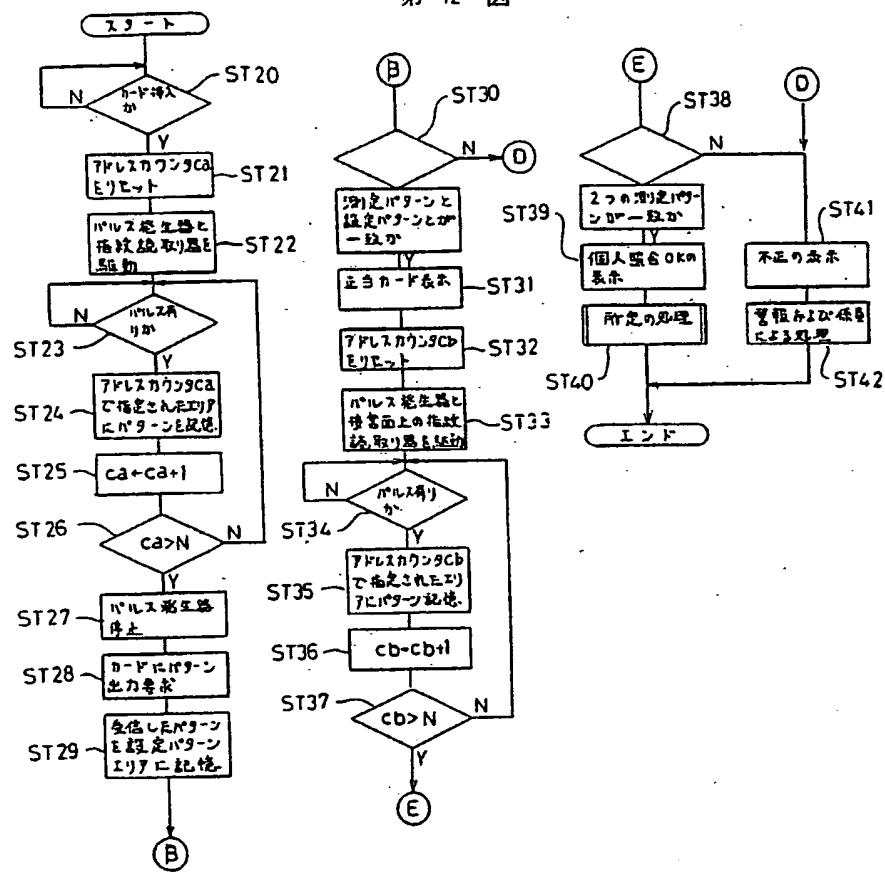


第 14 図

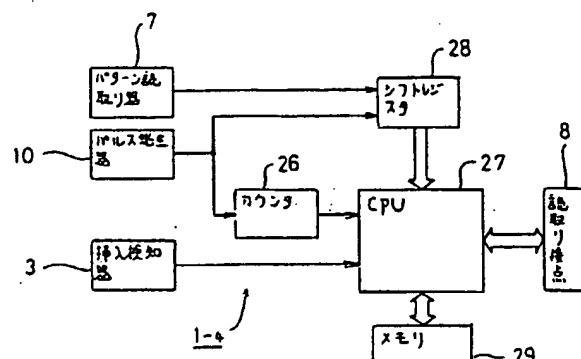




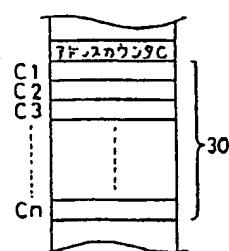
第 12 図



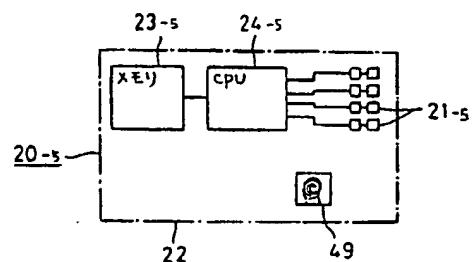
第 15 図



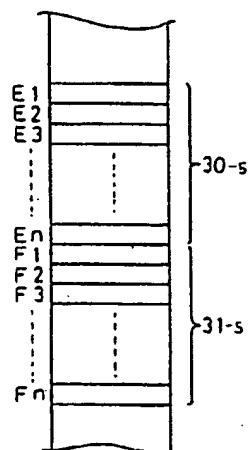
第 16 図



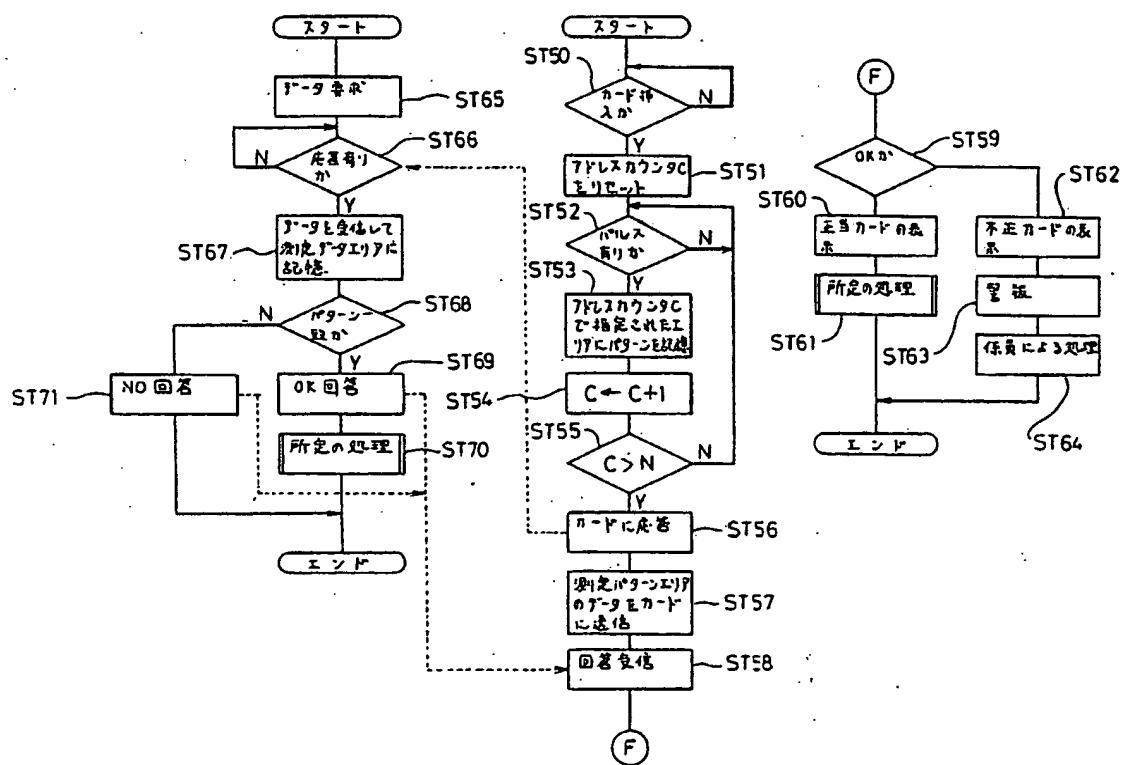
第 18 図

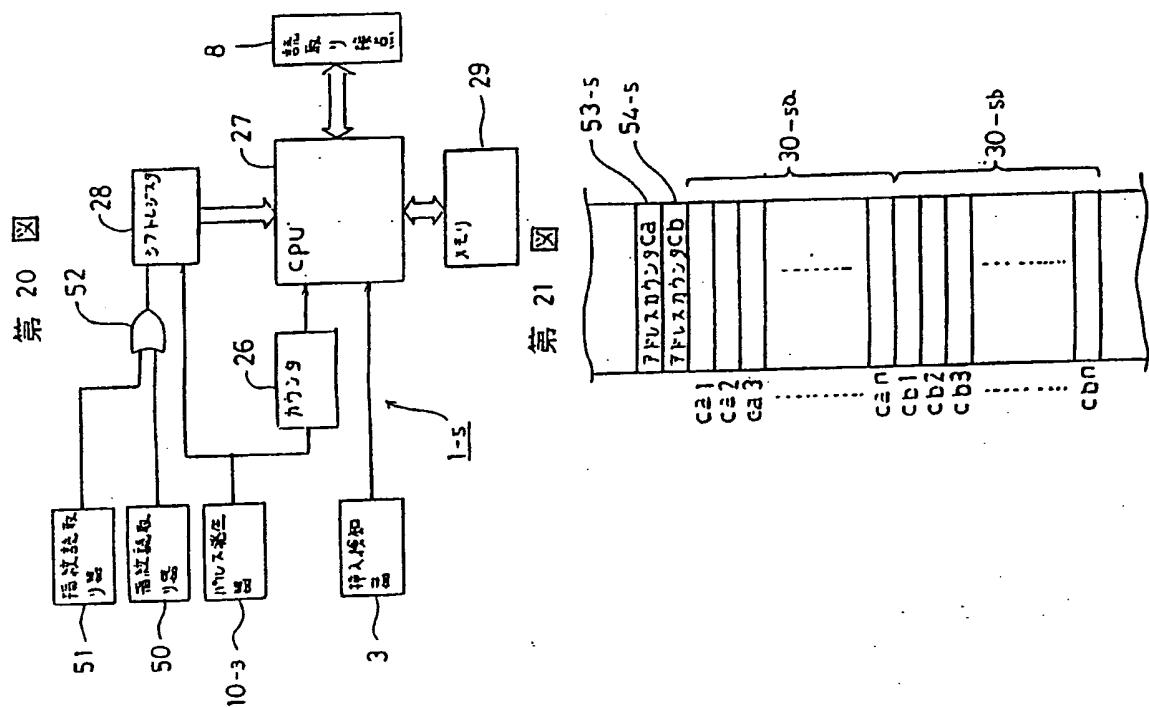


第 19 図

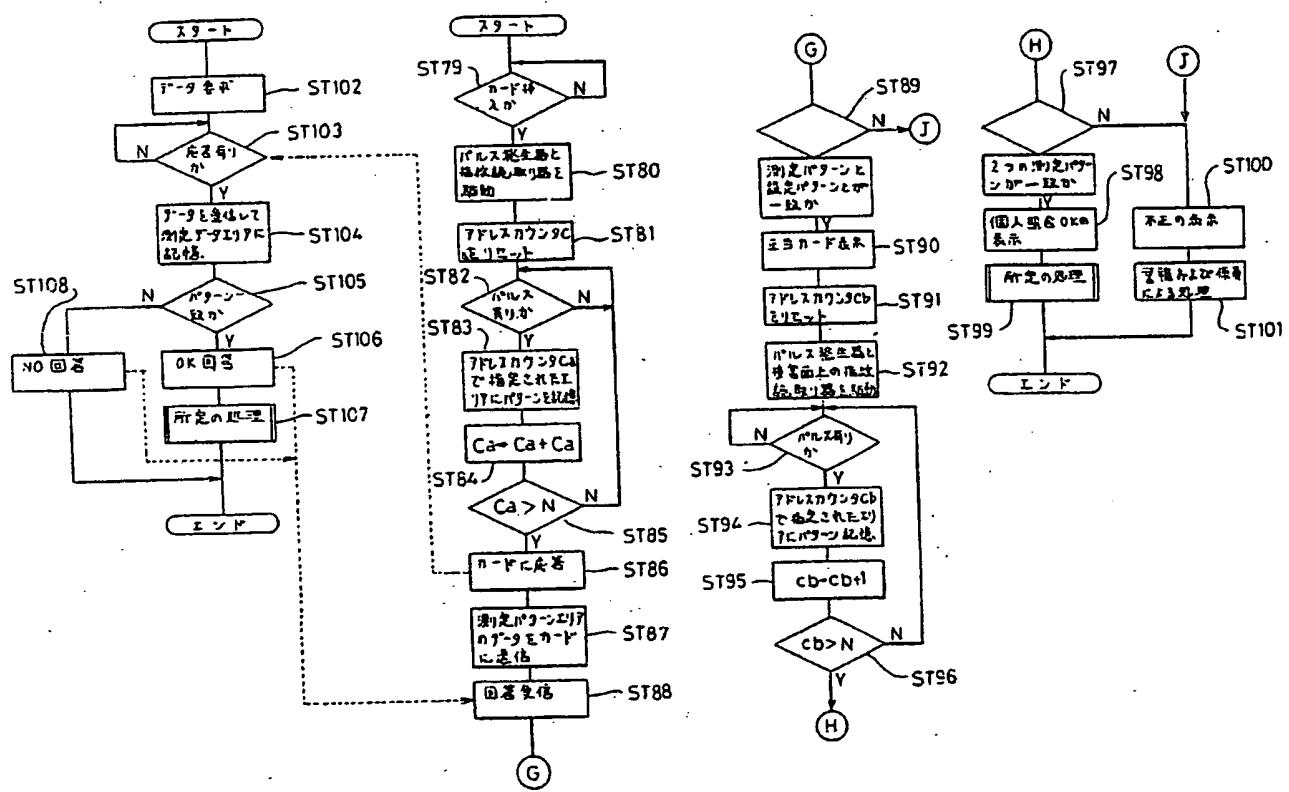


第 17 図

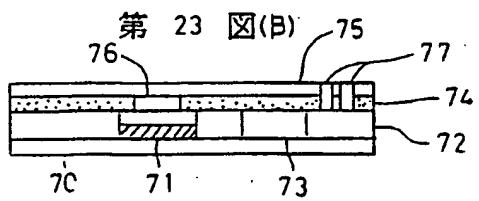
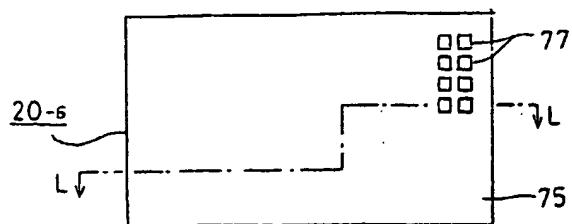




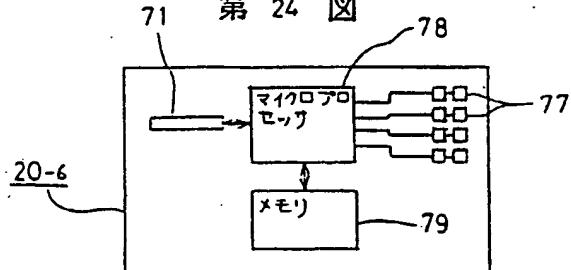
第 22 図



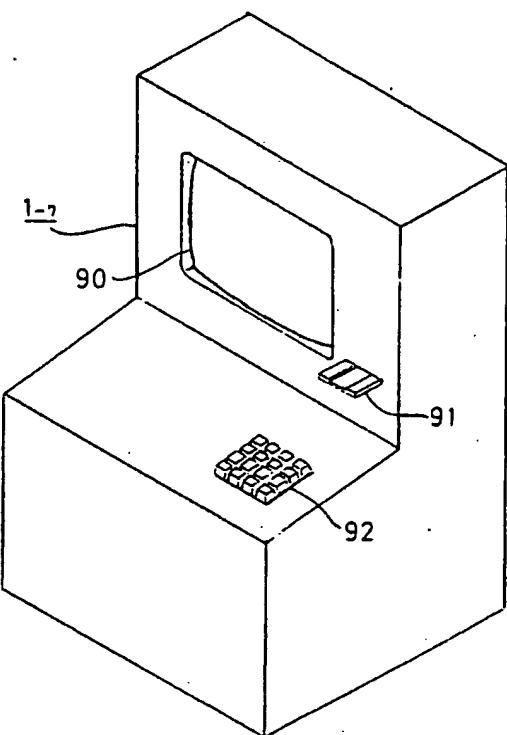
第 23 図(A)



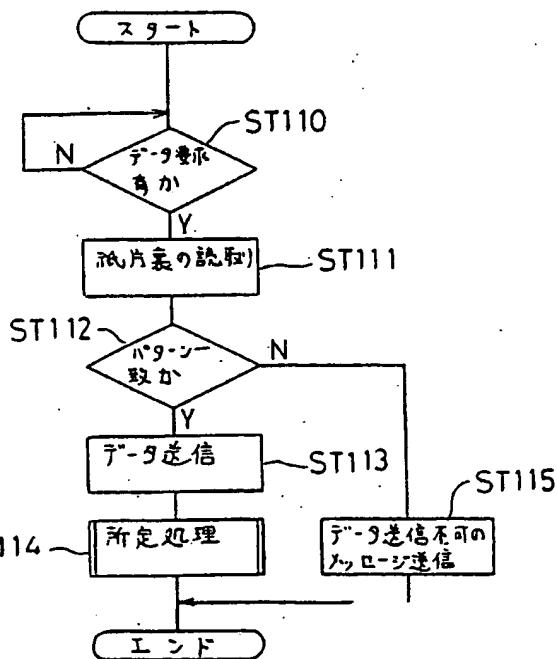
第 24 図



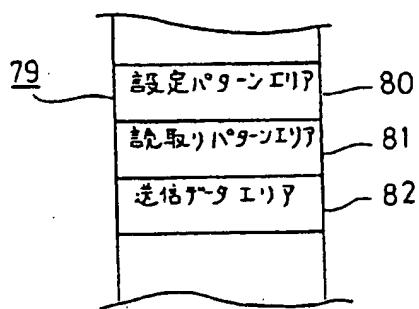
第 27 図



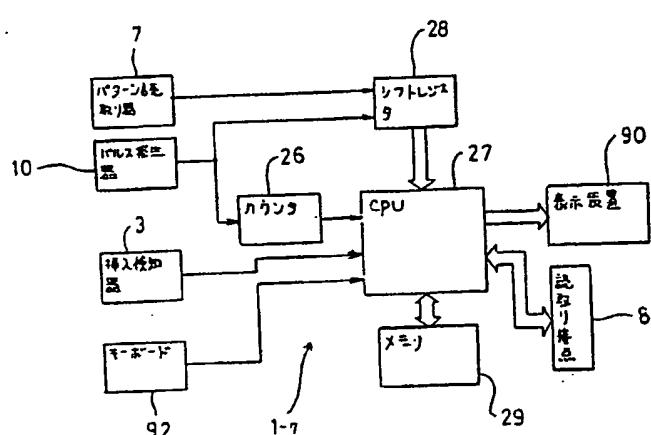
第 26 図



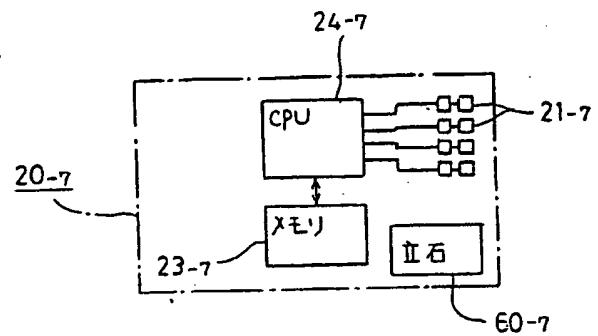
第 25 図



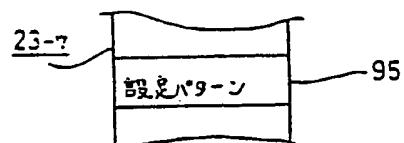
第 28 図



第 29 図



第 30 図



第31回

